

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08293494
PUBLICATION DATE : 05-11-96

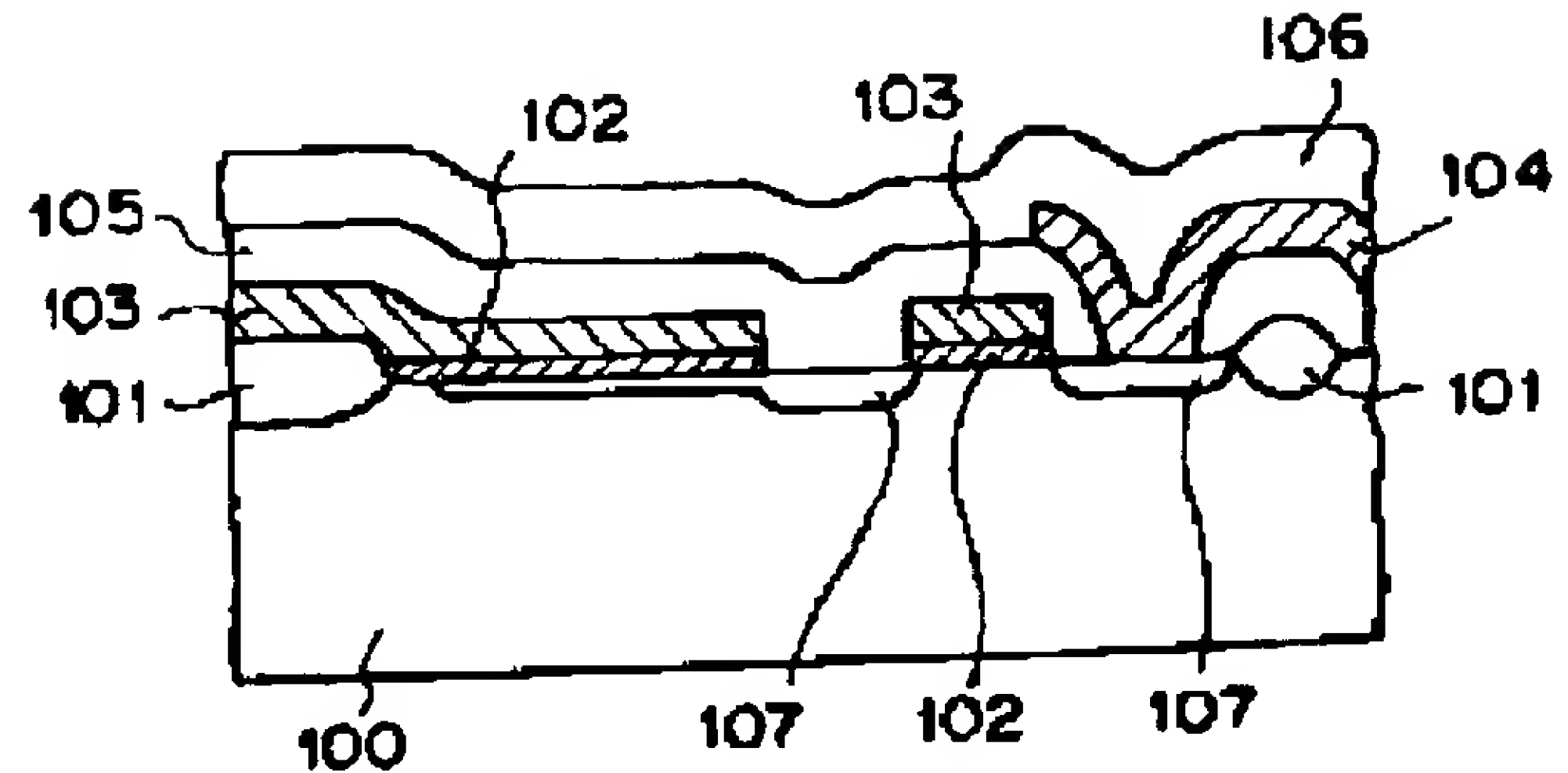
APPLICATION DATE : 24-04-95
APPLICATION NUMBER : 07098500

APPLICANT : CANON INC;

INVENTOR : TAMURA SEIICHI;

INT.CL. : H01L 21/316 H01L 27/04 H01L 21/822
H01L 27/108 H01L 21/8242 H01L 29/78

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prepare a tantalum oxide film practicable as a dielectric film by a method wherein the tantalum oxide film obtained by oxidizing a tantalum nitride film is formed as an insulation film.

CONSTITUTION: A field oxide film 101 for an element separation is formed on an N type Si substrate 100 and a tantalum oxide film 102 used as a gate insulation film and a capacitor film is formed thereon. Further, on this tantalum oxide film 102, there are successively stacked a polysilicon gate electrode and a capacitor electrode 103, an Al wiring 104 being a bit wire, a PSG film 5 being an interlayer film, and a P-SiN film 106 being a protection film. Thus, it is possible to obtain a tantalum oxide film 102 having excellent characteristics such as a high dielectric constant, a low dielectric loss and a low leak current.

COPYRIGHT: (C)1996,JPO

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	T
				A
27/04			27/04	C
21/822		9276-4M	27/10	6 5 1
27/108			29/78	3 0 1 G
審査請求 未請求 請求項の数 8 O L （全 8 頁） 最終頁に続く				

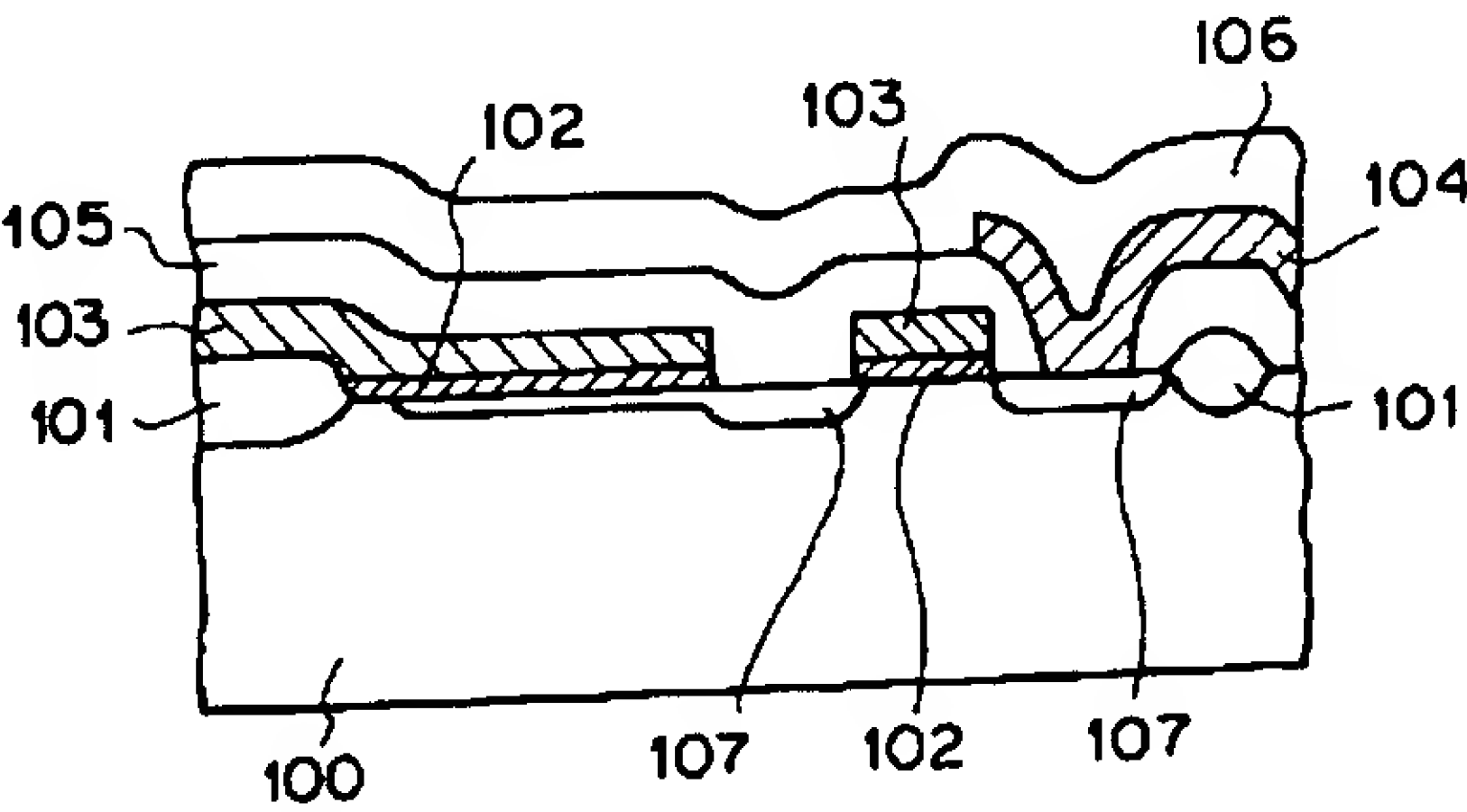
(21)出願番号	特願平7-98500	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成7年(1995)4月24日	(72)発明者	田村 清一 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	弁理士 山下 穰平

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 高い比誘電率、低誘電損失、低リーク電流と
いう優れた特性をもつタンタル酸化膜を得る。

【構成】 窒化タンタル膜を酸化することで得られたタ
ンタル酸化膜TaO_x（x＝2.5±0.1）を絶縁膜
102とする。



【特許請求の範囲】

【請求項1】 窒化タンタル膜を酸化することで得られたタンタル酸化膜を絶縁膜とすることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記窒化タンタル膜は、X線回折測定によって $Ta_{0.8}N_{0.8}$ の回折ピークをもつことを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2記載の半導体装置において、前記窒化タンタル膜は、反応性DCスパッタリング法又はCVD法によって得られることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記タンタル酸化膜は、その組成が TaO_x ($x=2.5 \pm 0.1$)であることを特徴とする半導体装置。

【請求項5】 請求項1又は請求項4記載の半導体装置において、前記タンタル酸化膜は、前記窒化タンタル膜を陽極酸化法、ドライ O_2 酸化法、 O_3 -プラズマ酸化法のいずれかによって酸化することで得られることを特徴とする半導体装置。

【請求項6】 請求項2記載の半導体装置において、前記窒化タンタル膜はパルス印加による熱ストレスに対して、 2.0×10^8 パルス印加のときに抵抗変化が $\pm 1.0\%$ 以内であることを特徴とする半導体装置。

【請求項7】 請求項1又は請求項2記載の半導体装置において、前記窒化タンタル膜及び前記タンタル酸化膜が、同一の半導体基板内に作製されていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置は記録ヘッド用基体であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に係わり、特に絶縁膜としてタンタル酸化膜を用いる半導体装置に関するものである。

【0002】

【従来の技術】 近年、MOS型DRAMの高集積化に伴い、シリコンの酸化膜を薄くし、電界を高めることで蓄積電荷を一定値以上に保つ試みがなされてきている。極薄シリコン酸化膜の改良はフラッシュメモリーの実用化等から、数nmのレベルにまで進められてきたが、現実にはほぼ限界に近い。

【0003】 そこで、シリコンの酸化膜に比べて比誘電率が約20～25と大きい Ta_2O_5 膜が次世代DRAMに使用される絶縁膜として注目されており、有機アルキルガスを用いるCVD法、反応性スパッタによる方法、そしてTaの直接酸化法等が広く検討されている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の技術によって成膜された Ta_2O_5 膜は、 Ta_2O_5 膜の酸素欠陥に起因すると思われるリーク電流あるいは誘

電損失の増加から、高い誘電率を持ちながらも、実用レベルでは使用が困難であった。又、熱処理や酸素プラズマ処理による Ta_2O_5 膜の改質により、酸素欠陥を補ってリーク電流を減らす方法が検討されているが、酸化に伴うSi層とのシリサイド化(TaSi)や、下地Si層の酸化による実質的な誘電率の低下($Ta_2O_5 + SiO_2$)等の問題が示唆されている。

【0005】 本発明の目的は、上記従来例の問題点、すなわち Ta_2O_5 膜のリーク電流に代表される膜特性を改善し、誘電膜として実用可能な Ta_2O_5 膜を作成することにある。又、本発明の別の目的は、より簡便な方法でストイキオメトリな Ta_2O_5 膜を作成することにある。さらに、本発明の目的は、最小限の工程で半導体装置内に抵抗体及び誘電体膜を作成することにある。

【0006】

【課題を解決するための手段】 本発明の半導体装置は、窒化タンタル膜を酸化することで得られたタンタル酸化膜を絶縁膜とすることを特徴とする。なお、ここでの「絶縁膜」には勿論誘電体膜も含まれ、例えば本発明に係わる絶縁膜は絶縁ゲート型トランジスタのゲート絶縁膜、コンデンサの誘電体膜として好適に用いられる。

【0007】 本発明においては、従来例に於いて示された問題点を解決し、高集積なMOS-FETに適用可能な高い比誘電率をもち、低いリーク電流、低誘電損失な Ta_2O_5 膜を作成することを可能とした。

【0008】 本発明によれば、反応性スパッタリング法、CVD法等によって作成した Ta_2N 及び TaN の混合膜である $TaN_{0.8}$ 膜を酸化することで、酸素欠陥が少なくリーク電流の小さい Ta_2O_5 膜を作成できる。

【0009】 上記 $TaN_{0.8}$ 膜は、CVD法による場合は、原料ガスとして $TaCl_4$ と NH_4 を用い、堆積温度 $400 \sim 600^\circ C$ の間で成膜を行うことで得られ、反応性スパッタリング法による場合は、純度4N8(99.998%)以上のTaターゲットをAr及び N_2 の混合ガス中でDCスパッタリングする事で得られる。

【0010】 反応性スパッタリング法を用いる場合、上記混合ガス中の N_2 流量比を変化させることで、 $Ta_2N \rightarrow TaN_{0.8} \rightarrow TaN$ へと膜の組成を変化させることができる(CVD法による場合、上記2種類のガス流量比を変えることで、反応性スパッタリングと同様に膜の組成を変化させることができ、 $TaN_{0.8}$ を成膜することができる。)。なお、窒化タンタル膜の膜の組成を変化させるには、全ガス圧力(Ar+ N_2)、DCパワー、基板温度等を変えてもよい。この膜質の変化はX線回折(XRD)によって観測、判別される。

【0011】 図4は、 N_2 流量比の変化に対して、基板上に堆積した窒化タンタル膜のXRDピークを示したものである。図に示したように、 N_2 流量比の増化に伴って((a)→(b)→(c))、ピーク位置が変化し、

ピーク位置から膜組成が $Ta_2N \rightarrow TaN_{0.8} \rightarrow TaN$ と変化しているのがわかる。この膜組成の変化に伴って、窒化タンタル膜の比抵抗は、図5に示すようになだらかに上昇し、EPMA（電子プローブ微小分析法）の測定によると膜中の窒素含有量も増加しているのがわかる。

【0012】さらに、図4、図5に示した3種類の窒化タンタル膜の抵抗体としての安定性を調べるため、各窒化タンタル膜をパターニング等によって加工し、電圧をパルス状に印加して抵抗変化を測定した。各窒化タンタル膜厚は約 $0.1\mu m$ 、巾及び長さは $10\mu m \times 30\mu m$ （約3シート）、電極取り出しにアルミニウム配線を用い、パッシベーション膜としてプラズマCVDによるSiN膜を堆積している。又基板は熱酸化膜が約 $1.0\mu m$ 形成されたSiウエハである。印加電圧は約25V、パルス巾は $3\mu sec$ 、パルス周波数は20kHzである。

【0013】測定結果を図6に示す。図4に示した（a）型のピークを示す Ta_2N 膜の抵抗変化は初期抵抗値 R_{int} に対して負の方向、すなわち $\Delta R/R_{int} < 0$ の方向へ抵抗変化が生じている。又、（c）型のピークを示す TaN 膜は $\Delta R/R_{int} > 0$ の方向へ抵抗変化が生ずる。一方、（b）型のピークを示す $TaN_{0.8}$ 膜は、与えられたパルス印加に対して、

【0014】

【数1】 $\Delta R/R_{int} < \pm 1.0\%$

の挙動を示し、前述した（a）及び（c）型のXRDピークを示す窒化タンタル膜とは異なった挙動を示す。これらの挙動は、以下の様に説明される。

【0015】すなわち、パルス印加を与えられた窒化タンタル膜は、その熱エネルギーにより、Ta原子とN原子の結合と解離が生ずる。図4において（a）型のピークを示す Ta_2N 膜は化学的に安定な状態にある完全な Ta_2N 膜へ近づいていくためTa原子とN原子の解離反応が進み、実際に抵抗体として測定される抵抗値が低くなっていく。一方、（c）型のピークを示す TaN 膜は、やはり安定な TaN 膜へ構造が変化するため、Ta原子との結合に関与していなかったN原子がTa原子と結合し、抵抗値が増加する。ところが、（b）型のピークを示す $TaN_{0.8}$ 膜は、ほとんど全てのN原子とTa原子が結合に関与しているため、上記（a）型及び

（b）型の窒化タンタル膜で示した様な再結合あるいは解離反応が進行しない。ゆえに、熱エネルギーを与えた際にも抵抗値の変化が生じない。言い換えれば、図4に示した（b）型のピークを示す $TaN_{0.8}$ 膜は、Ta原子とN原子が強く結合したエネルギー的に安定な状態のタンタル化合物であると言える。

【0016】なお、Ta原子とN原子が強く結合したエネルギー的に安定な状態のタンタル化合物であるか否かはX線回折により（b）型のピークを示すか否かで判断

できるが、実用上パルス印加による熱ストレスに対して、 2.0×10^8 パルスを加えたときに抵抗変化が $\pm 1.0\%$ 以内の条件を満足するものであることが好ましい（例えば、前述した条件下で抵抗率変化の測定を行い抵抗変化が $\pm 1.0\%$ 以内か否かの測定を行う）。そして、（b）型のピークを示す $TaN_{0.8}$ 膜の製造条件の設定にあたっては、抵抗率変化がより少なくなるように条件設定を行うことが望まれる。

【0017】このように図4において（b）型のピークを示し、パルス印加によるストレステストによって抵抗変化率が $\pm 1.0\%$ 以内と化学的に強い結合力を持ち、結晶性の良い窒化タンタル膜を陽極酸化法、低温（ $300 \sim 600^\circ C$ ）ドライ O_2 酸化、 O_3 －プラズマ酸化法等で酸化した。図7に例として低温でドライ O_2 酸化を施した場合の酸化時間に対する酸化膜厚の関係を示す。参考のためTaを同様の条件で酸化した場合も図中に示してある。図7より、Taに比べて上記窒化タンタル膜の酸化速度は著しく遅い。この傾向は、他の酸化方法である陽極酸化や O_3 －プラズマ酸化においても同様であり、その理由として、上述した（b）型の強く化学結合した窒化タンタル膜を酸化する場合、O原子がN原子とTa原子の強い結合を断ってから、Ta原子と結合しなければならないため、酸化に余分なエネルギーを必要とし、酸化速度がTa膜を直接酸化する場合よりも遅くなるものと考えられる。このような酸化速度の低下によってより緻密で、制御性の良い Ta_2O_5 膜を得ることができる。さらに、上記効果によって、下地にシリコン基板を用いた場合にも、酸化膜とシリコン基板界面で反応するシリサイド化を制御するために十分な酸化速度を得ることができる。なお、 O_3 －プラズマ酸化法で酸化を行う場合は、成膜温度 $100 \sim 400^\circ C$ で10～60分、Rf出力0.5～1.0W（50kHz）、圧力1.0～2.0Torrの条件下で行うことができる。

【0018】このように、上記窒化タンタル膜を酸化することによって得られたタンタル酸化膜の特性を調べるため、図8に示したようなn型シリコン基板803上に上記タンタル酸化膜802を $600^\circ C$ のドライ O_2 酸化で作成し、さらにAl電極801を上部電極としてパターニングしたMIS型キャパシタを作成した。又、比較検討のために、前述した（a）型及び（c）型のX線回折ピークを示す窒化タンタル膜と、タンタル膜を前述した方法で酸化し、同一のMIS型キャパシタを作成した。容量の測定は10kHzでのC-V測定結果から下部電極の空乏層容量が無視できる上部電極負バイアスでの容量値として測定した。又、I-V特性の測定は上部電極に正又は負の電圧を印加掃引して測定した。

【0019】図9にaccumulate側、すなわち上部電極負バイアス時に得られた容量値から計算した各酸化膜の比誘電率を示す。比較のため、代表的な SiO_2 の値も示すが、

【0020】

【数2】

に比べ、3種数の窒化物から得られたタンタル酸化膜の比誘電率 ϵ (TaOx)は約20～25と約3倍の値を示す。

【0021】Ta膜の酸化によるタンタル酸化膜は他の3種類に比べ若干低い比誘電率の値を示すが、これは界面でのSiとの酸化反応により、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ の二重構造をとるために実質的な比誘電率の低下が生じているためである。

【0022】図10は、上記各タンタル酸化物の誘電損失角 $\tan\delta$ を測定した結果である。 $\tan\delta$ はタンタル酸化物の前駆体が $\text{Ta} > \text{Ta}_2\text{N} > \text{Ta}_2\text{O}_5 > \text{TaNO}_x$ の順に小さな値を示しており、酸化膜に電場がかかった際に生ずるヒステリシスが上記の順に小さいことを意味している。このことは、前述したTa原子とN原子の結合力の強さの差と、窒化物の平衡状態の安定性の差によって、タンタル酸化物の酸素欠陥等の組成の安定性が前駆体の状態に依存していることを示している。

【0023】さらに、上記各タンタル酸化物のI-V特性すなわちリーク電流の挙動を測定したのが図11である。図中曲線(a)は前駆体がTa₂N、(b)はTaNO_x、(c)はTa₂O₅、(d)はTaの特性である。図からわかるように、(b)のTaNO_xが印加電圧に対して最も小さいリーク電流値を示し、V=-3～+3Vの範囲において $J=10^{-7}\text{A}/\text{cm}^2$ 以下である。

(a)のTa₂N及び(c)のTa₂O₅の場合は $J=10^{-7}\text{A}/\text{cm}^2$ 以下の範囲はV=-1～2Vであり、

(b)のTaNO_xを前駆体として作成されたタンタル酸化膜は、著しくリーク電流を減少させることが判明した。(d)で示されたTaを前駆体とした酸化膜は、酸素欠陥の多さと、Si界面でのシリサイド化により、誘電膜としては使用不可能な特性であった。

【0024】以上示したように、X線回折によって図4の(b)に示すピークを持つTaNO_x膜をドライO₂酸化、陽極酸化、O₃-プラズマ酸化等で酸化することで得られたタンタル酸化膜は、他のタンタル酸化膜と比べ、誘電損失角 $\tan\delta$ やリーク電流特性等、DRAMゲート酸化膜やキャパシタとして充分実用可能であることが判明した。又、上記TaNO_x膜は、上記酸化方法によりTa原子とN原子が他の窒化物と比べて非常に強く結合した安定な化合物であるために、前述したTaNO_x膜が下地Si界面とのシリサイド化が少なく、又高い結晶性ゆえによりストイキオメトリなTa₂O₅に近い酸化膜が得られた。

【0025】さらに、上記TaNO_xは、高い印加電圧、大電流に対しても安定な抵抗体であるため、半導体装置内に一度に抵抗体と誘電体を作製することが可能である。

【0026】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【実施例1】図1は本発明に於いて示したタンタル酸化物の誘電体をp型MOSトランジスタのゲート膜及びキャパシタ膜として適用した場合の一般的な構成を示す断面図である。図1では、DRAMメモリセルの場合について示した。図1に於いて、100はn型Si基板、101はフィールド酸化膜、102はゲート膜及びキャパシタ膜としてのTa₂O₅膜、103はポリシリコンゲート電極及びキャパシタ電極、104はビット線であるAl配線、105は層間膜であるところのPSG膜、106は保護膜であるところのP-SiN膜、107はソース及びドレインコンタクト領域であるところのn⁺領域である。ここで、ゲート及びキャパシタ膜であるTa₂O₅膜は前述したTaNO_x膜を成膜、パターニングした後、前述した酸化方法により同時に形成される。前述したように、本発明により形成されたTa₂O₅膜102は、高比誘電率であり、又リーク電流も小さいため、DRAMメモリセルサイズが小さくても充分使用可能なゲート及びキャパシタ絶縁膜を得ることができる。

【0027】又、本実施例においてはゲート及びキャパシタ電極にポリシリコン103を用いているが、かわりに本発明で述べたTaNO_x膜を用いてもよい。

【実施例2】図2は、本発明をMOS型トランジスタ及びキャパシタ搭載のインクジェット型プリンタヘッドに適用した場合の構成を示す断面図である。

【0028】近年インクジェット型プリンターがその経済性、静粛性等から注目をあびているが、使用されるプリンタヘッド基板に駆動用ドライバーを搭載することで、高速度化、低コスト化を図ることが可能であり、一種のトレンドとなりつつある。

【0029】図2に於いて、200はSi基板、201は素子分離のためのフィールド酸化膜、202はMOSトランジスタのゲート絶縁膜であるところのTa₂O₅膜、203はキャパシタ膜であるところのTa₂O₅膜、204はゲート電極であるところのポリシリコン電極、205はTaNO_x膜、206はAl配線、207は層間及び蓄熱層であるところのPSG膜、208は保護膜であるところのP-SiN膜である。又、209はヒーター部分であり、発熱が生ずる場所を示す。図2中には示していないが、発熱部分209上をインクが通っており、P-SiN膜208を介して熱がインクに伝わり、発泡、吐出、印字が行われる。

【0030】本実施例において、キャパシタ膜であるところのTa₂O₅膜203は発熱抵抗体であるところのTaNO_x膜205成膜の際同時に成膜される。その後、フォトリソグラフィ等の技術を用いて所定のパターニングを行った後陽極酸化によりキャパシタ膜203が作製される。この方法を用いることにより、キャパシ

タ膜203と発熱抵抗層が一度につくられるため、より容易で低コストなプロセスを行うことが可能となった。又、発熱部分209をパターンニングによりAl下のTa₂Nを露出させるのであるが、この工程を行った後にキャパシタ膜203を作製するための陽極酸化を行い、発熱抵抗層であるTa₂N_{0.8}膜205の上層部を一部Ta₂O₅へ変化させて高耐久の発熱部分を作製してもよい。このときキャパシタTa₂O₅膜203はやはりTa₂O₅/Ta₂Nの2重構造をとる。

【0031】又、Ta₂N_{0.8}は前述したように非常に安定した金属間化合物であり、シリサイド化反応も少ないため、バリアメタルとしても有効に働き、例えば図2中n⁺領域とのTa₂N_{0.8}205を介したコンタクト性も良好にとる事が可能である。

【実施例3】図3は本発明を適用したキャパシタ構造の一例を示す断面図である。図3において、300はSi基板、302はPSG膜、303はn⁺領域、304はTa₂O₅絶縁膜、305a, bはTa₂N_{0.8}膜、301はn⁺ポリシリコンである。

【0032】図3において、キャパシタ膜であるTa₂O₅膜304を上下からサンドイッチするようにTa₂N_{0.8}膜305a, bが配されているが、Ta₂O₅膜304は、下層Ta₂N_{0.8}膜を酸化して作られている。

【0033】この方法を用いることにより、キャパシタ膜であるTa₂O₅膜304と配線であるTa₂N_{0.8}膜305aを同時に作ることが可能であり、界面の急しゅんな良好なキャパシタ構造を得ることができる。

【0034】又、図3中では下層キャパシタ電極305aとSi基板300の間にコンタクト層としてポリシリコン301を使用しているが、カバレッジの許す範囲でポリシリコン301をはぶき、直接Ta₂N_{0.8}膜を成膜、酸化してキャパシタ構造を得てもよい。Ta₂N_{0.8}膜でも良好なコンタクト特性を得られる。なお、本実施例3を前述の実施例1、実施例2に適用してもよい。

【0035】

【発明の効果】以上説明した本発明により、以下に述べる特有の効果を得ることができる。

【0036】1) 高い比誘電率、低誘電損失、低リーク電流という優れた特性をもつTa₂O₅膜を得ることにより、高集積な微細化されたMOSトランジスタ及びキャパシタ構造をもつデバイスを作製することができる。

【0037】2) 熱的、化学的に安定であるTa₂N_{0.8}膜を酸化することで、より簡便で、低コストに上記Ta₂O₅膜を得ることができる。

【0038】3) 上記(2)の方法を用いることで、半導体装置内に一度に抵抗体及び誘電膜を作製することができる。

【図面の簡単な説明】

【図1】本発明を実施したDRAMメモリセル(1ビット分)の断面図である。

【図2】本発明を実施したMOS型トランジスタ及びキャパシタ搭載のインクジェット型プリンターヘッドの断面図である。

【図3】本発明を実施したキャパシタセルの断面図である。

【図4】窒化タンタル膜XRDピーク形のN₂流量比依存性を示す図である。

【図5】窒化タンタル膜比抵抗のN₂流量比依存性を示す図である。

【図6】窒化タンタル膜の印加パルスに対する抵抗変化を示す図である。

【図7】窒化タンタル膜の酸化速度を表す図である。

【図8】MIS型キャパシタの概念図である。

【図9】各タンタル酸化膜の比誘電率を示す図である。

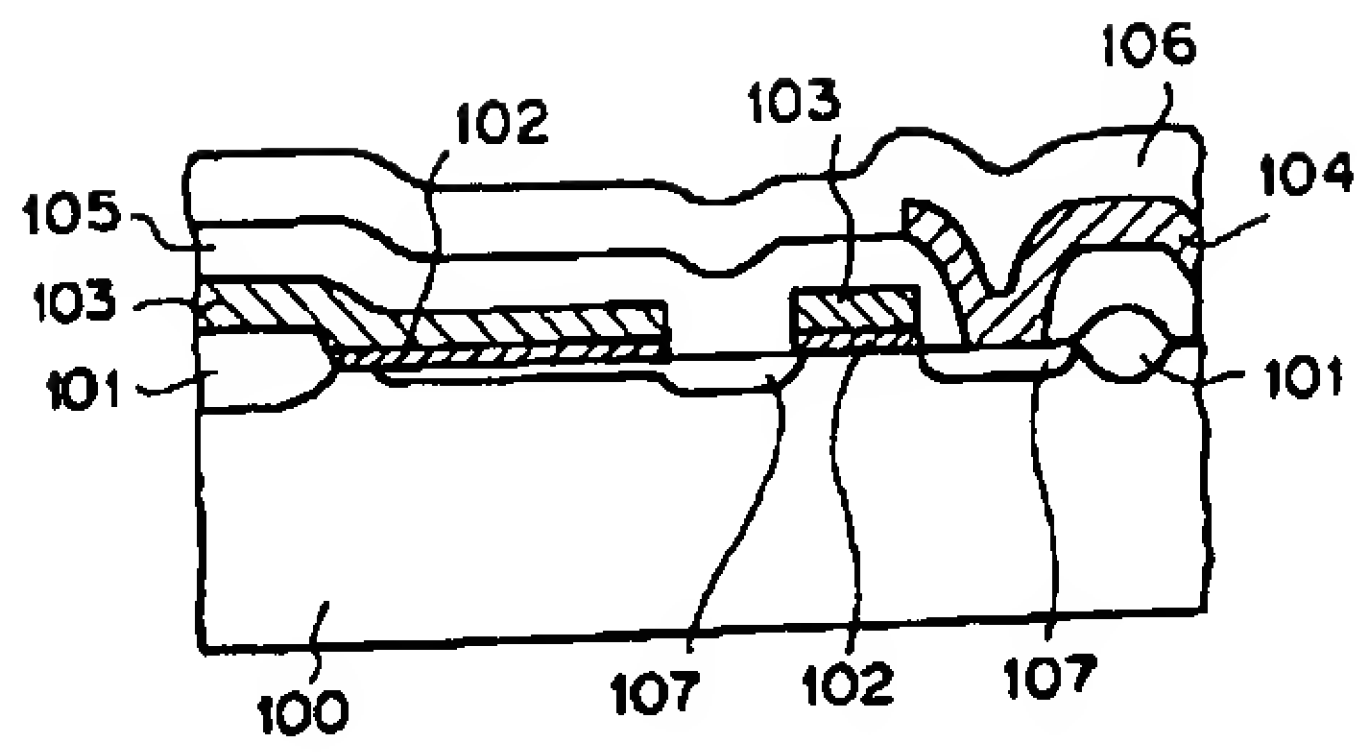
【図10】各タンタル酸化膜の誘電損失角を示す図である。

【図11】各タンタル酸化物のI-V特性を示す図である。

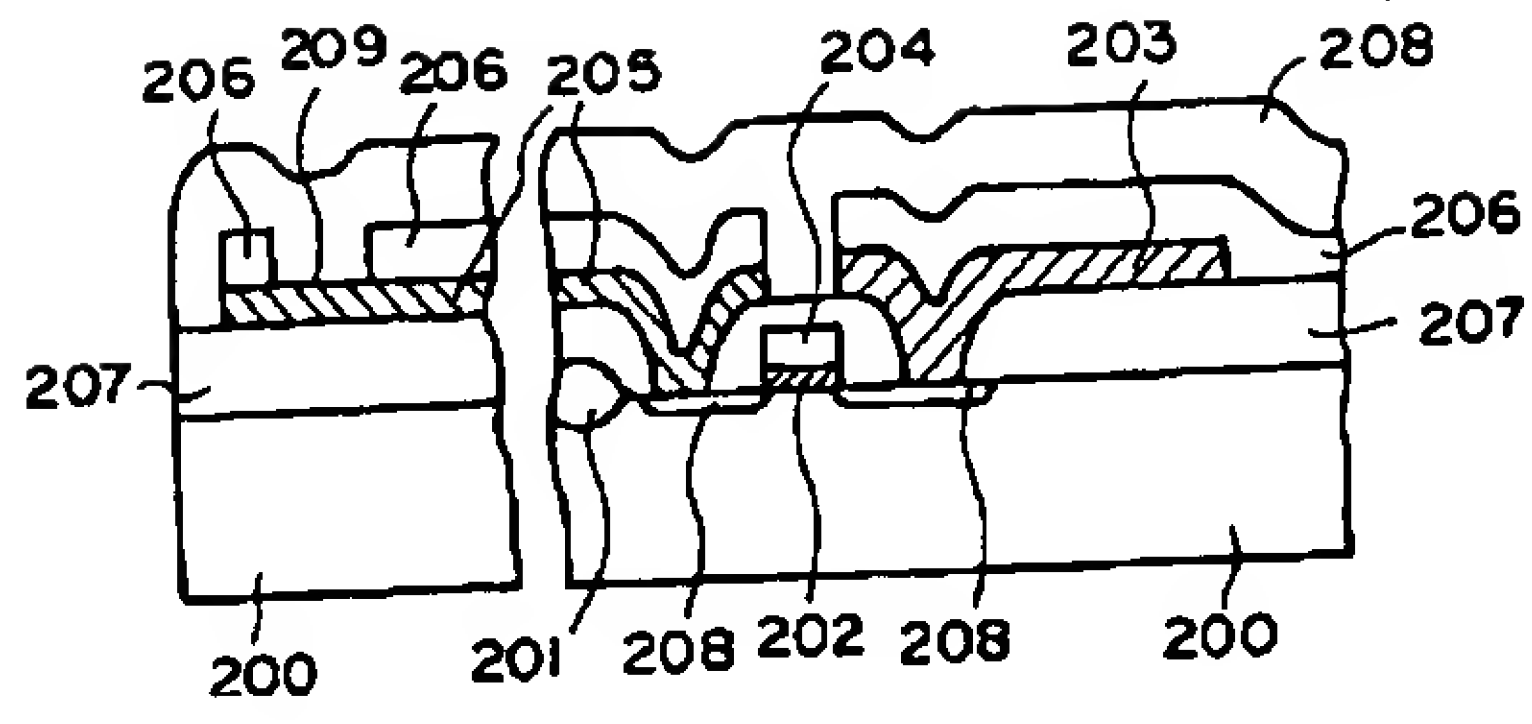
【符号の説明】

- 100 n型Si基板
- 101 フィールド酸化膜(選択酸化膜)
- 102 Ta₂O₅絶縁膜
- 103 ポリシリコンゲート及びキャパシタ電極
- 104 Al配線
- 105 PSG膜
- 106 P-SiN保護膜
- 107 n⁺領域
- 200 Si基板
- 201 フィールド酸化膜
- 202 Ta₂O₅絶縁膜(ゲート絶縁膜)
- 203 Ta₂O₅絶縁膜(キャパシタ膜)
- 204 ポリシリコンゲート電極
- 205 Ta₂N_{0.8}膜
- 206 Al配線
- 207 PSG層間膜
- 208 P-SiN保護膜
- 209 発熱部分
- 300 Si基板
- 301 ポリシリコン電極
- 302 PSG層間膜
- 303 n⁺又はp⁺領域
- 304 Ta₂O₅絶縁膜
- 305 Ta₂N_{0.8}膜

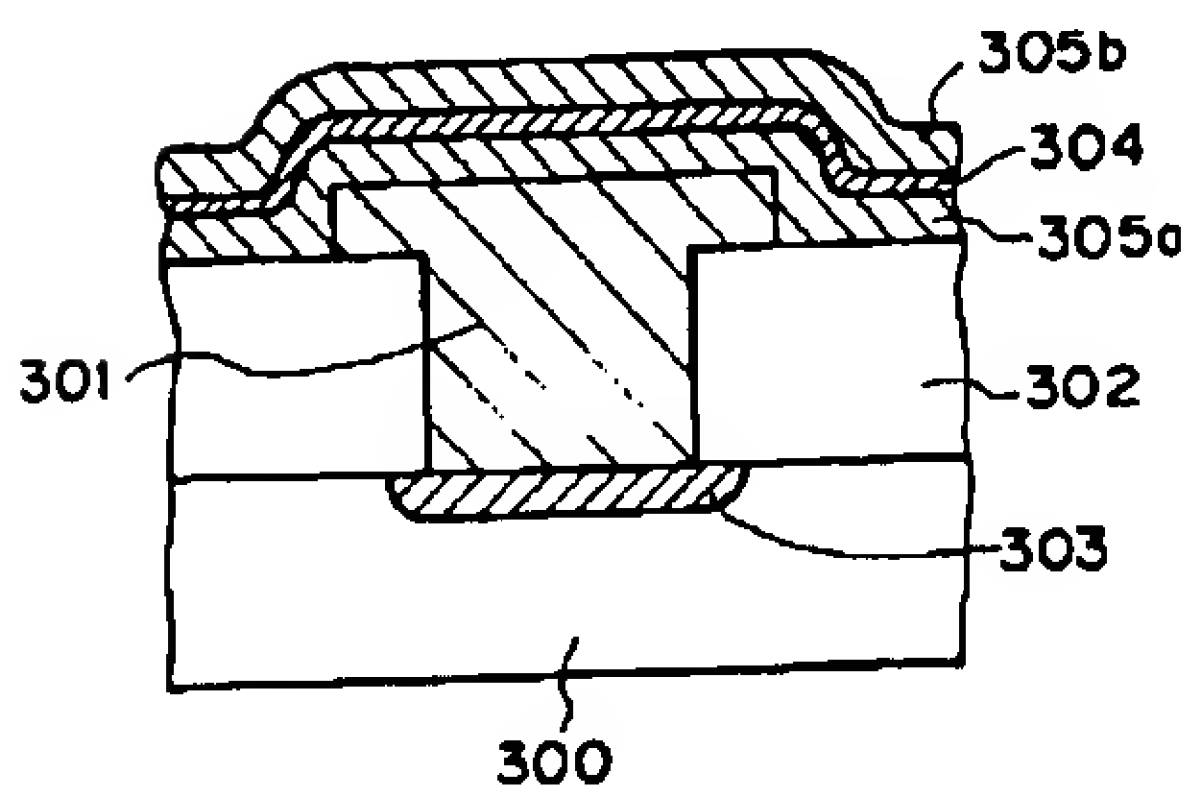
【図1】



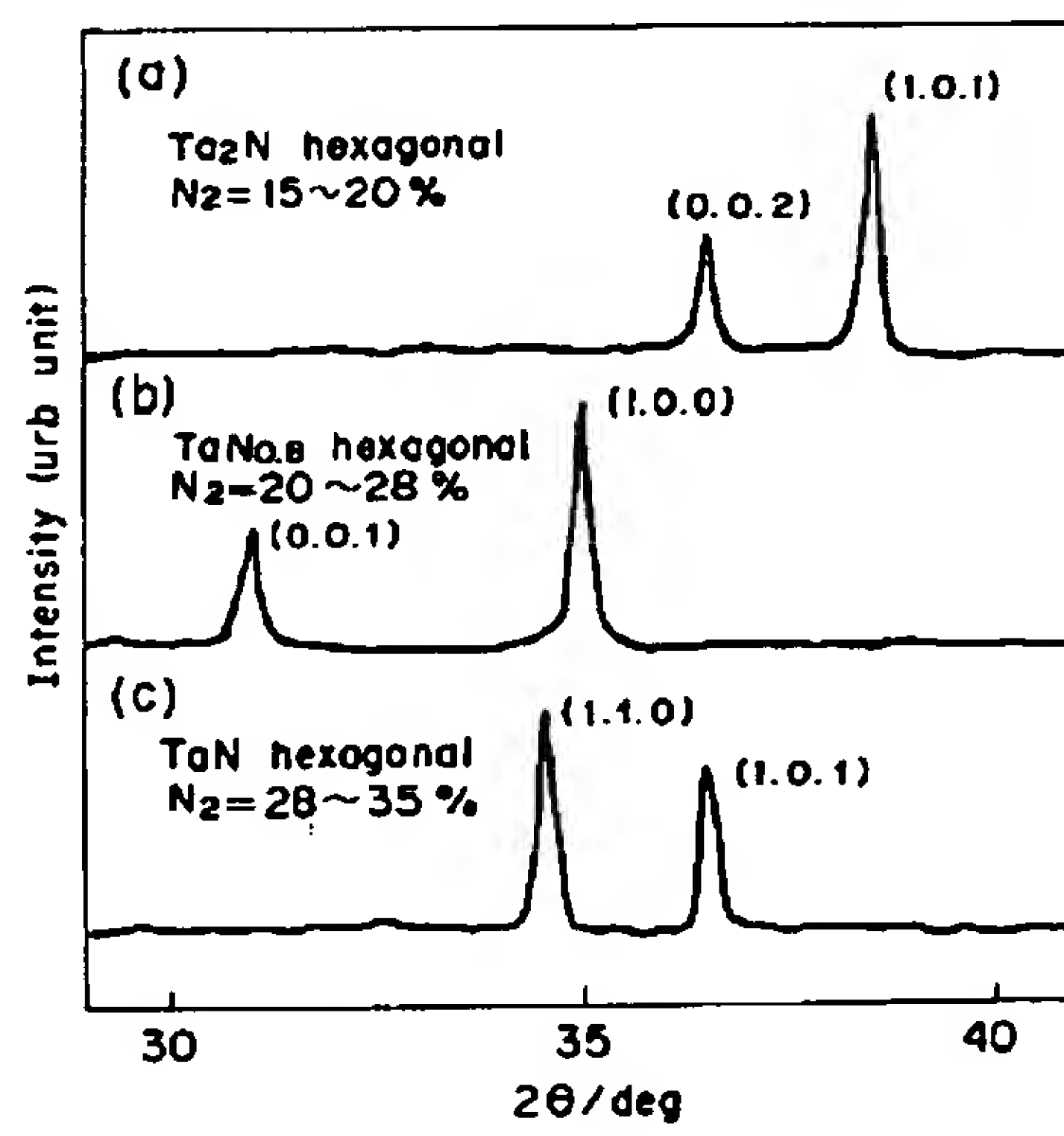
【図2】



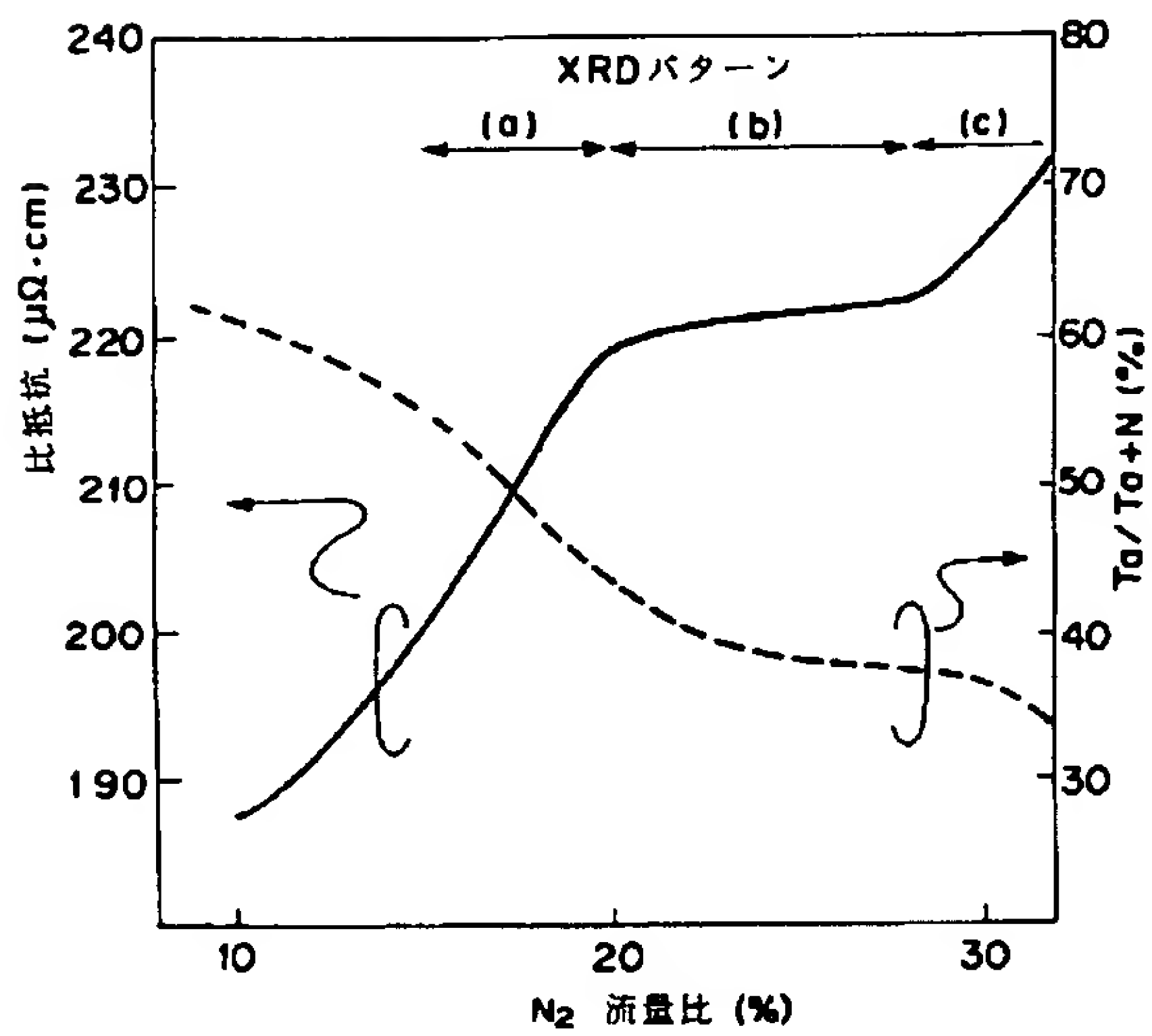
【図3】



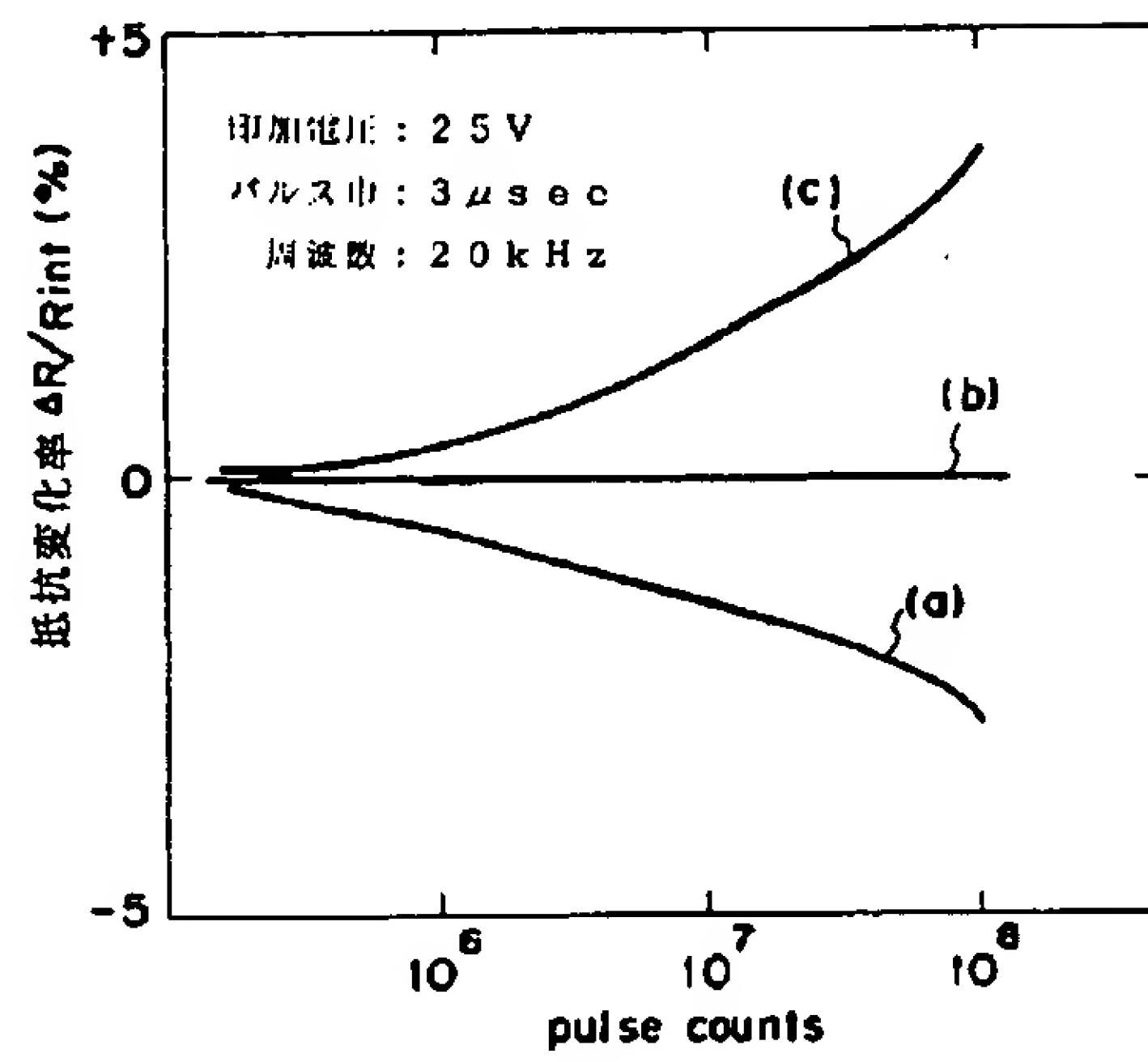
【図4】



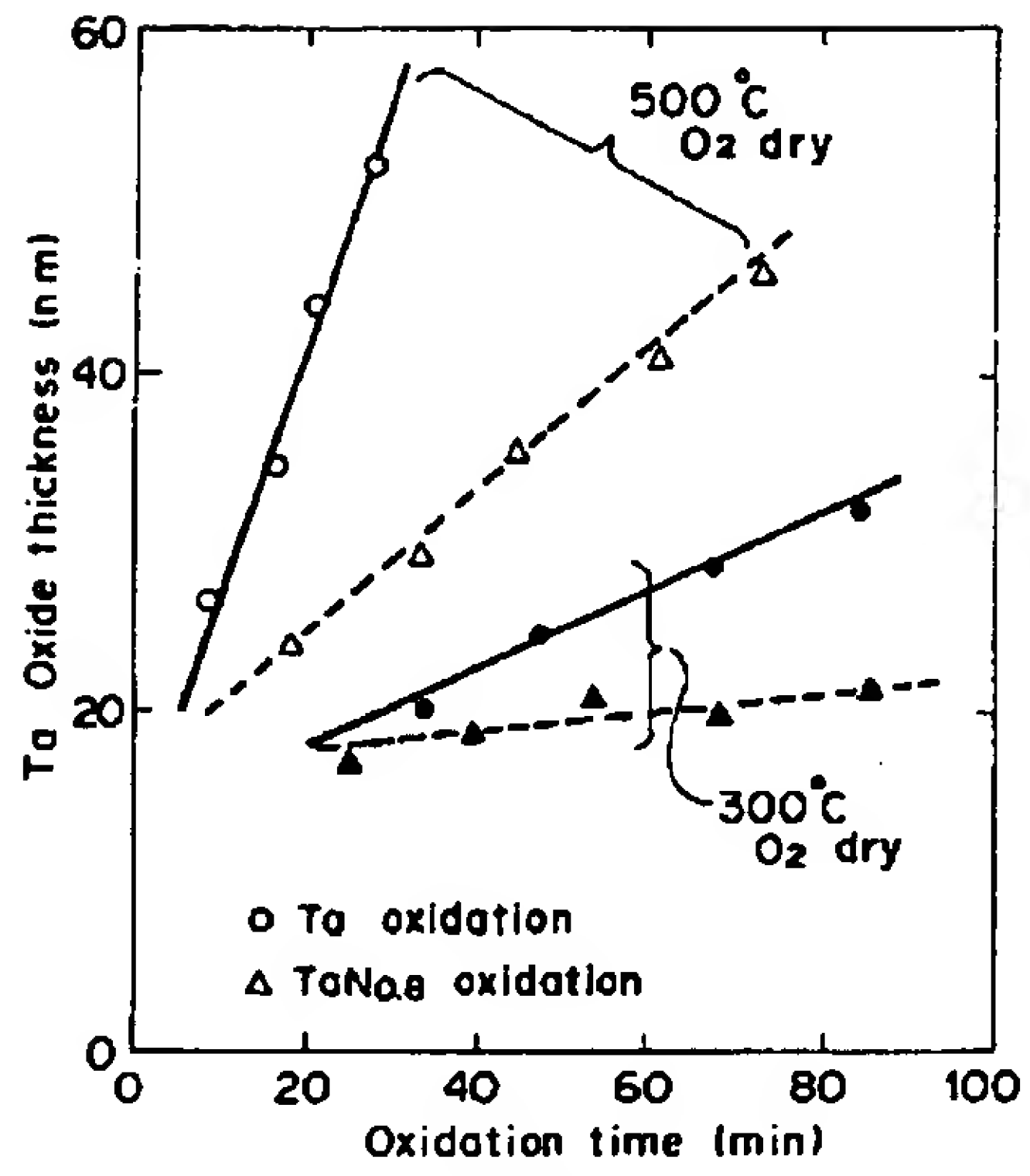
【図5】



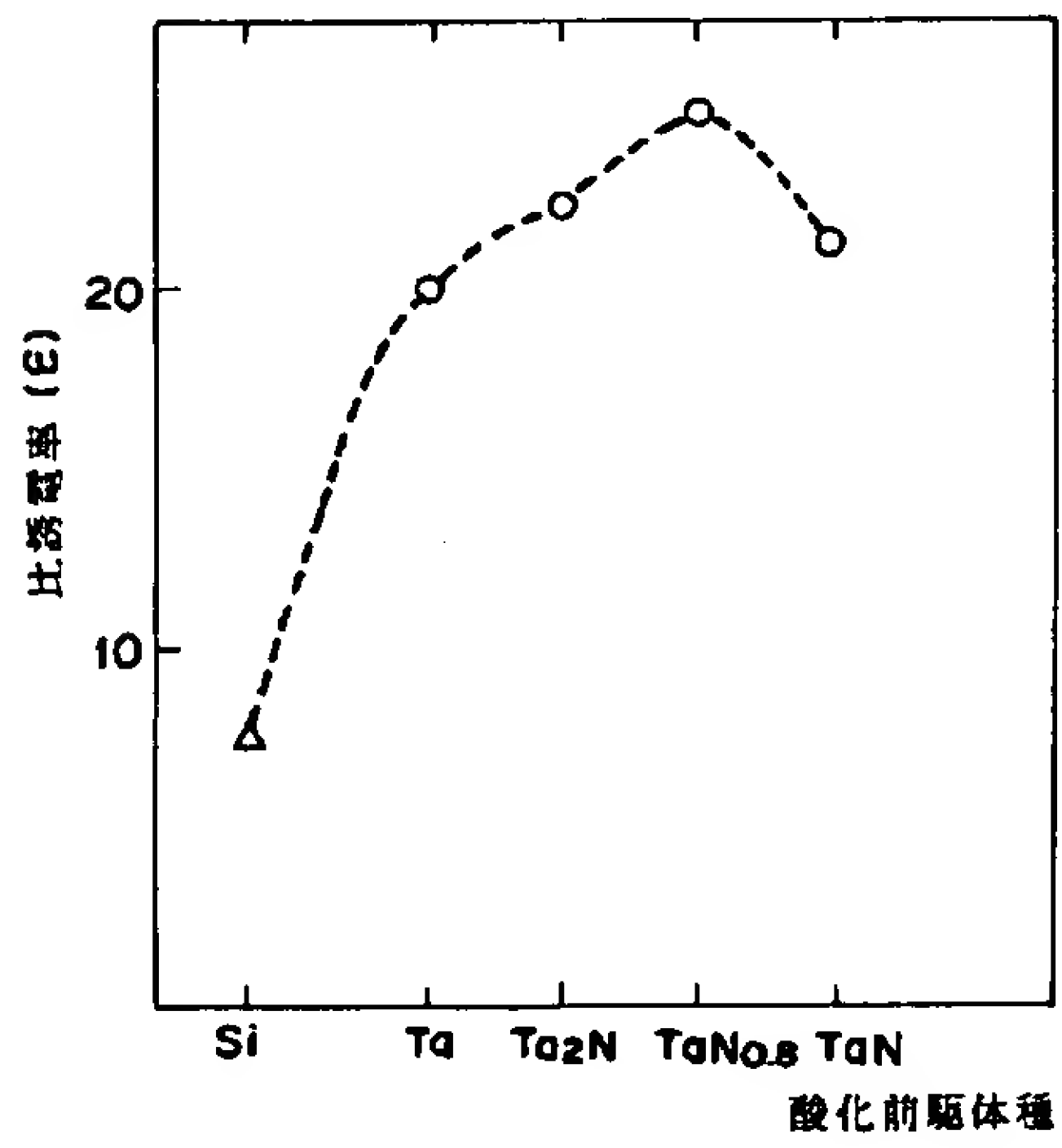
【図6】



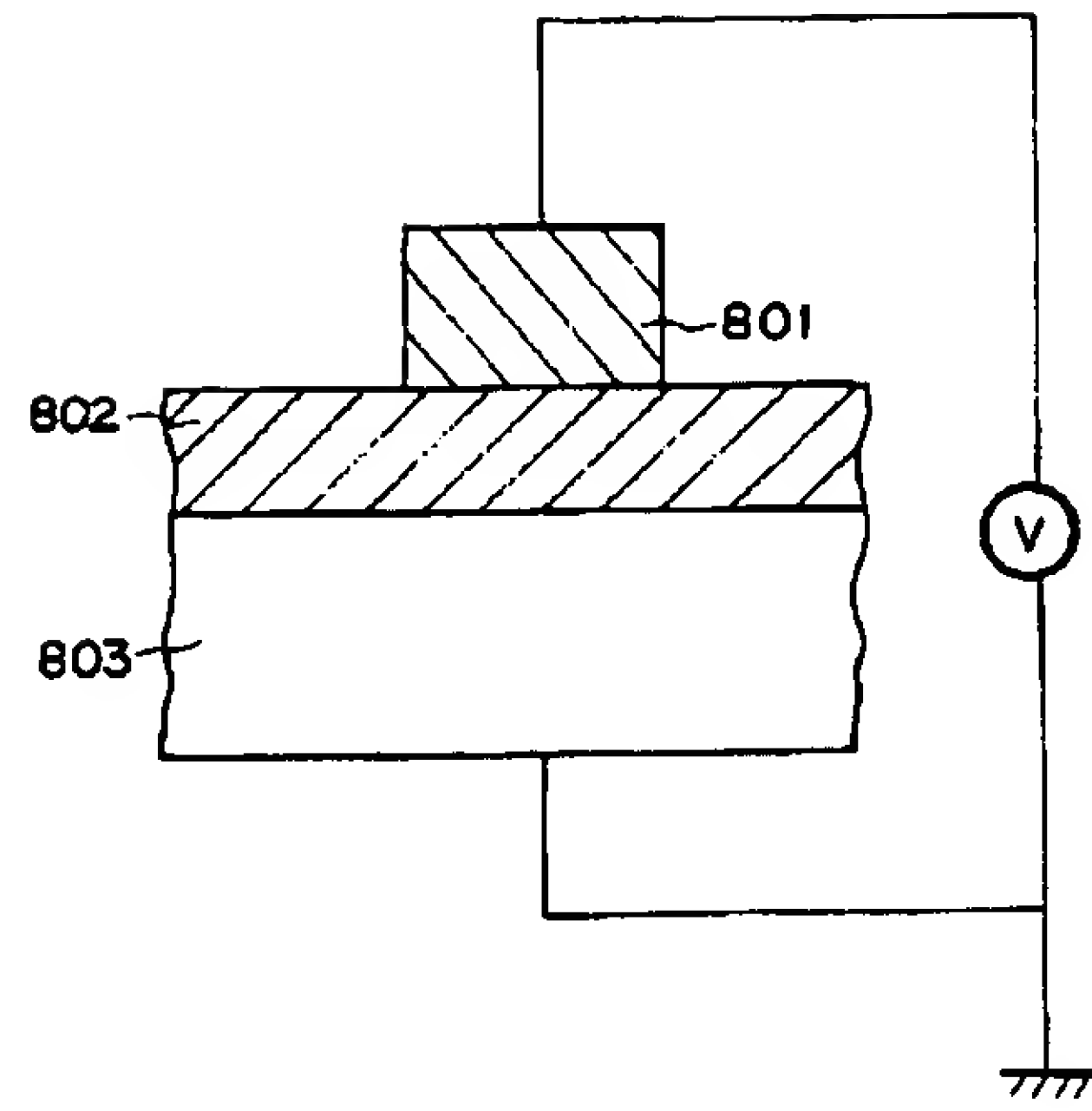
【图 7】



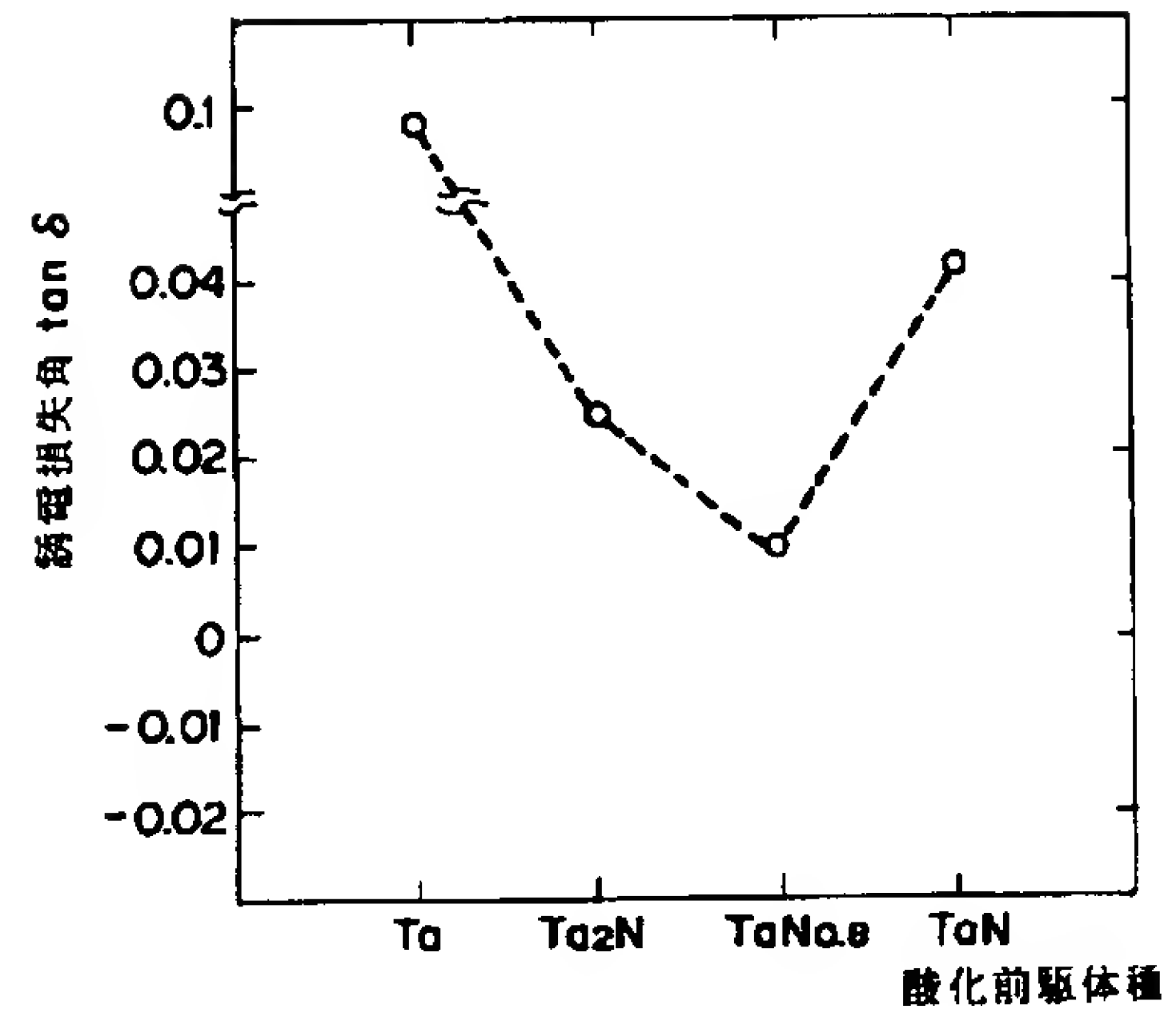
【图 9】



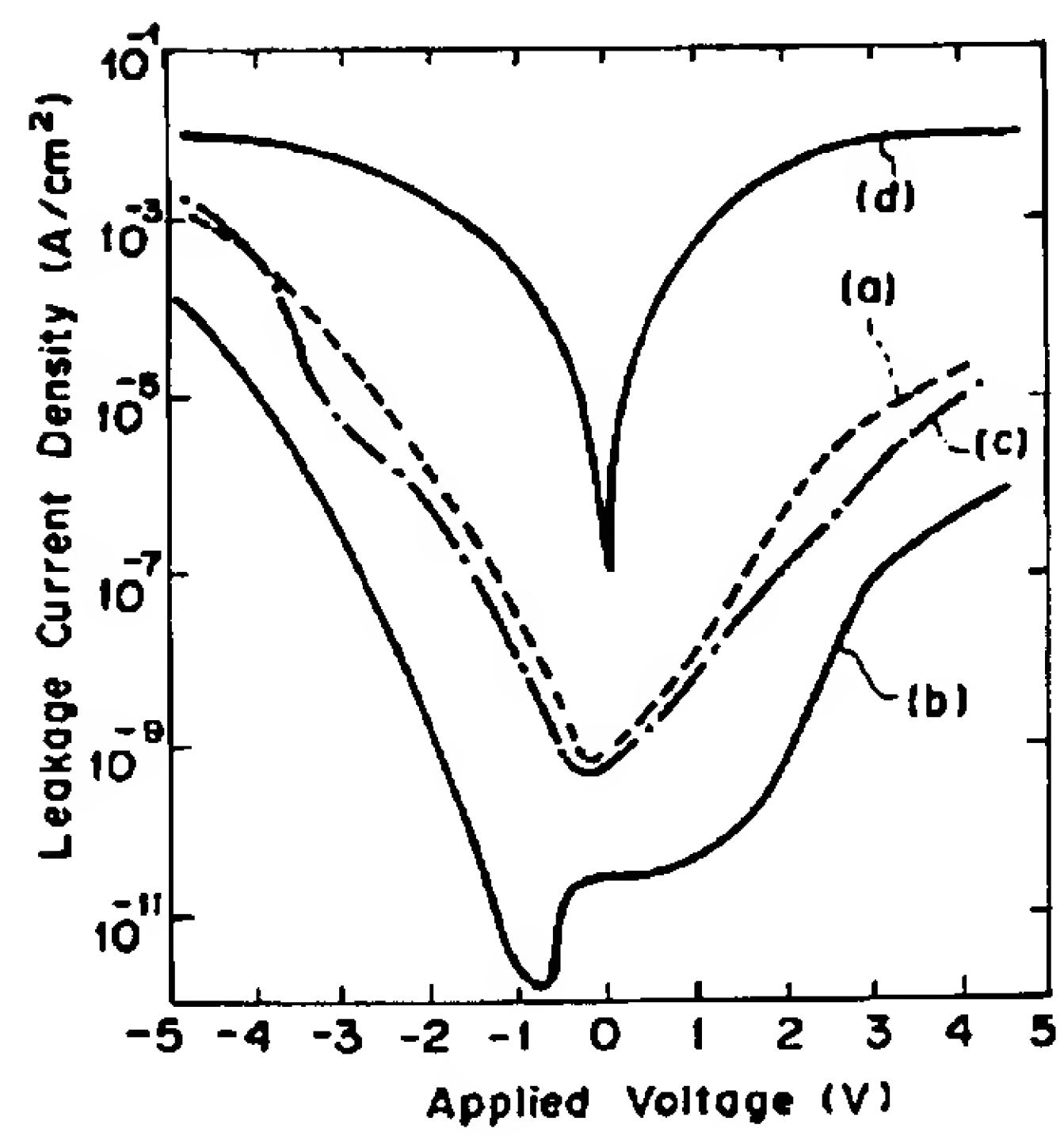
【图 8】



【图 10】



【图 11】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L		21/8242		
		29/78		